[Document title]

[Document subtitle]

Gabriel Baigorri

[Year]

Contents

**No table of contents entries found.**

**No table of figures entries found.**

**No table of figures entries found.**

# Objetivo

* Interpretación de información especificada en hojas de datos o especificaciones de diseño
* Utilización de las instrucciones secuenciales, concurrentes y paquetes aprendidos en clase.
* Comprensión de la metodología de diseño jerárquico (top-to-down).
* Uso de archivo de restricción para asignar los pines E/S del FPGA vinculados a hardware del board DE2-115.
* Uso de sincronizadores.
* Escritura de restricción de tiempo, frecuencia de trabajo del sistema, en el archivo de restricción.
* Uso y escritura de test bench para verificar funcionalmente el correcto comportamiento de un sistema descrito en VHDL.
* Utilización de la herramienta *MegaWizard* para la generación de un divisor de frecuencia basado en PLL.
* Configuración del FPGA del board DE2-115 con el código VHDL correspondiente.

# Desarrollo

## Parte A

### Consigna

Realizar la descripción en VHDL de un contador tipo LFSR de 4 bits.

* Genere y trate de comprender el circuito *RTL View*.
* Verifique su funcionalidad con un test bench ejecutando su simulación funcional y simulación post-place & route (gate level simulation).

### Resolución

Primeramente se buscó un modelo de contador LFSR de 4 bits, encontrándose el mostrado en la Figura 1, cuya tabla Estado-Salida se observa en la Tabla 1.

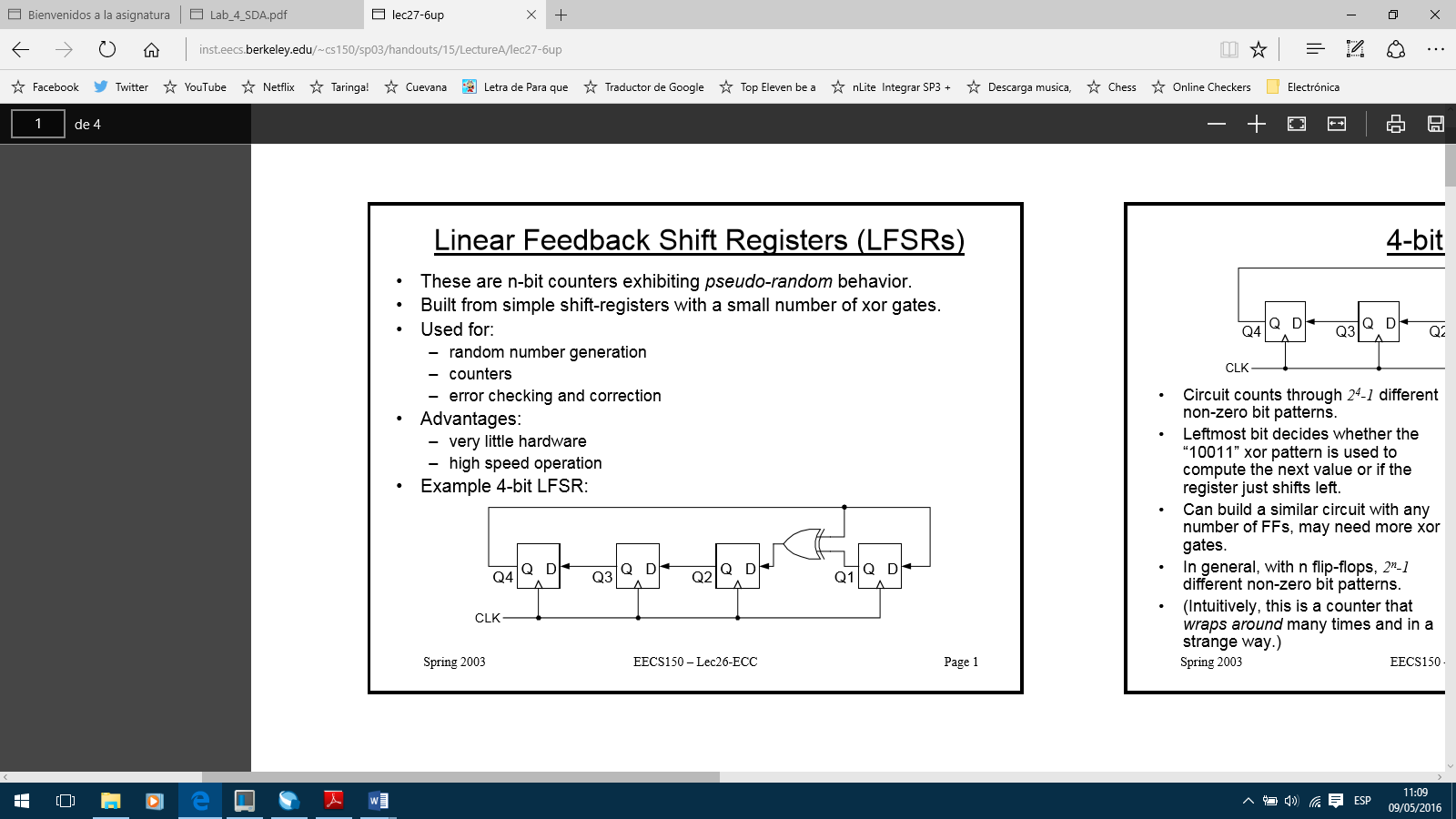


Figura 1

Tabla 1

|  |  |
| --- | --- |
| Estado | Salida |
| 1 | 1111 |
| 2 | 1101 |
| 3 | 1001 |
| 4 | 0001 |
| 5 | 0010 |
| 6 | 0100 |
| 7 | 1000 |
| 8 | 0011 |
| 9 | 0110 |
| 10 | 1100 |
| 11 | 1011 |
| 12 | 0101 |
| 13 | 1010 |
| 14 | 0111 |
| 15 | 1110 |

Con ello se procedió a realizar el modelo de Flip Flop D, descripto en el Apéndice A. Se debe aclarar que se usó una entrada de seteo, y no de reseteo, debido a que el estado “0000” no pertenece a la secuencia del contador.

Obtenido el modelo del Flip Flop, se sintetizó el contador LFSR, mostrado en la Figura 2.

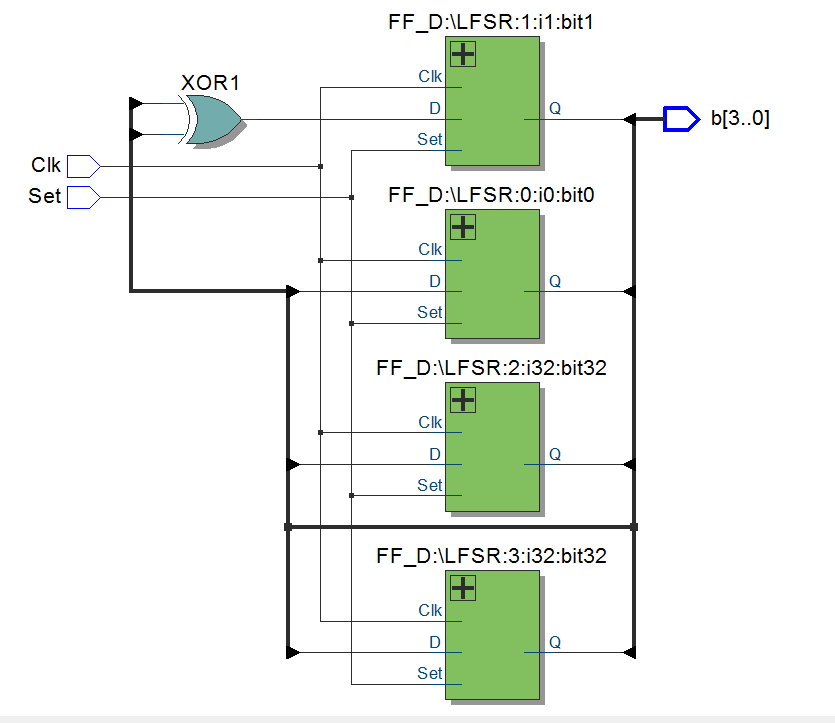


Figura 2

### Simulación y Test-Bench

Se realizó el código Test-Bench, el cual setea todas las salidas y luego espera 16 flancos de reloj. Luego se comprobó que la secuencia generada fuese coincidente con la tabla de estados del contador mostrada anteriormente. El código mencionado se encuentra en el Apéndice B.

La formas de onda de entradas y salidas para la simulación funcional se observan en la Figura 3, mientras que para la simulación Post - Place & Route sólo se observará el retardo clock-out, en la Figura 4, siendo de aproximadamente 6.75ns.

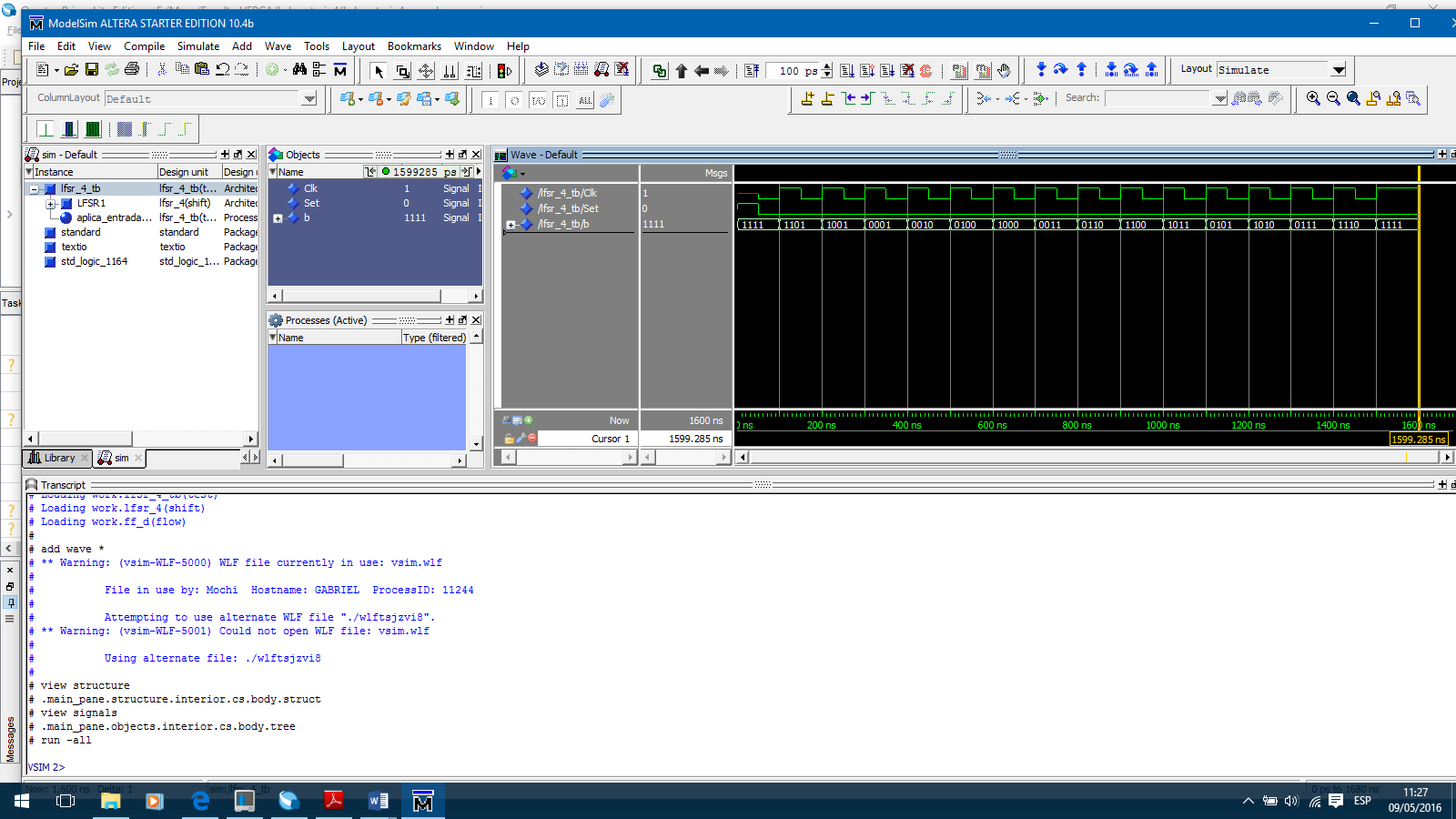


Figura 3

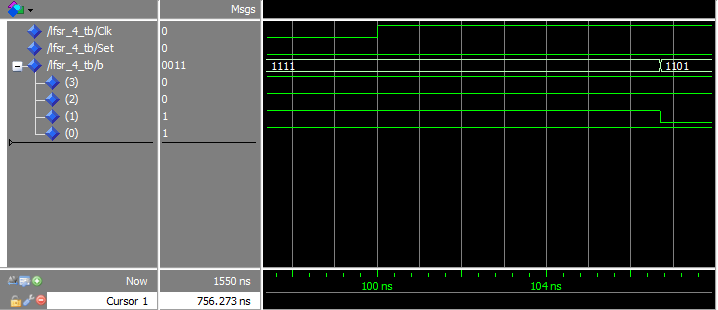


Figura 4

## Parte B

### Consigna

El Kit de desarrollo DE2-115 tiene un oscilador de 50MHz como entrada de reloj al FPGA. Realice un divisor de frecuencias para obtener las siguientes frecuencias: 0.1Hz, 0.5Hz, 1Hz, 2Hz y 5Hz.

* Describa en VHDL el divisor de frecuencia, usando constantes para los diferentes valores máximos del divisor.
* Como selector de frecuencia de salida use las llaves (switches) disponibles en el board.
* Sincronice las entradas asincrónicas con la frecuencia del reloj de entrada al FPGA.
* Utilice el módulo de conversor BCD-7Segmentos del laboratorio anterior para mostrar en los display 7 segmentos la frecuencia seleccionada por la llave respectiva (no hace falta usar el punto; por ejemplo para 0.5 muestre 05).
* Para cada combinación de las llaves (switches), la frecuencia seleccionada deberá excitar el LED\_0 del board
* Compruebe el funcionamiento funcional del código VHDL con un Test Bench. Analice que pasa con el tiempo real y el tiempo de simulación cuando simule su circuito.
* Escriba el correspondiente archivo de restricciones (constraints file). Recuerde detallar en el constraint file la frecuencia de trabajo de su sistema.
* Compruebe la correcta asignación de la señales de entrada/salida con los respectivos I/O pads del FPGA revisando el PAD report.
* Genere el bitstream y configure el FPGA.
* Compruebe el correcto funcionamiento del sistema al cambiar las llaves seleccionadoras de frecuencia como así también la correcta indicación del valor de frecuencia en los display 7 segmentos respectivos.

### Resolución

Se procedió a generar un divisor de frecuencia utilizando un contador que alcanzado cierto valor (prescaler) se reseteara y conmutara la salida. Este valor tendría que ser coincidente temporalmente con el semiperiodo de la salida deseada.

Para ello se definieron las constantes a partir de la siguiente ecuación.

Se optó por dejar la frecuencia de entrada al divisor variable con el deseo de hacer un componente versátil sumado a que en la parte C del laboratorio se trabajaría con una frecuencia de entrada distinta. Ello significa que la cantidad de bits utilizada por el prescaler y el contador debería ser variable, o en su defecto colocar un techo a la frecuencia de entrada; se optó por la primera opción y para el cálculo de bits necesarios se implementó una función logaritmo base 2 y se utilizó la siguiente ecuación.

Por otro lado, se agregó un reloj de salida extra para excitar un LED de la placa para poder observar su correcto funcionamiento. La frecuencia seleccionada por los switch es mostrada mediante dos display 7 segmentos, para ello se utilizó el modelo de decodificador hexadecimal a 7 segmentos descriptos en el Laboratorio 3.

Para la selección de la frecuencia de salida, se utilizaron 3 switches de la placa, obteniéndose la Tabla 2

Tabla 2

|  |  |  |
| --- | --- | --- |
| Switches | Frecuencia | Frecuencias en Test-Bench |
| 000 | 0,1 Hz | 1MHz |
| 001 | 0,5 Hz | 500KHz |
| 010 | 2 Hz | 100KHz |
| 011 | 5 Hz | 5Hz |
| 1XX | 1 Hz | 1Hz |

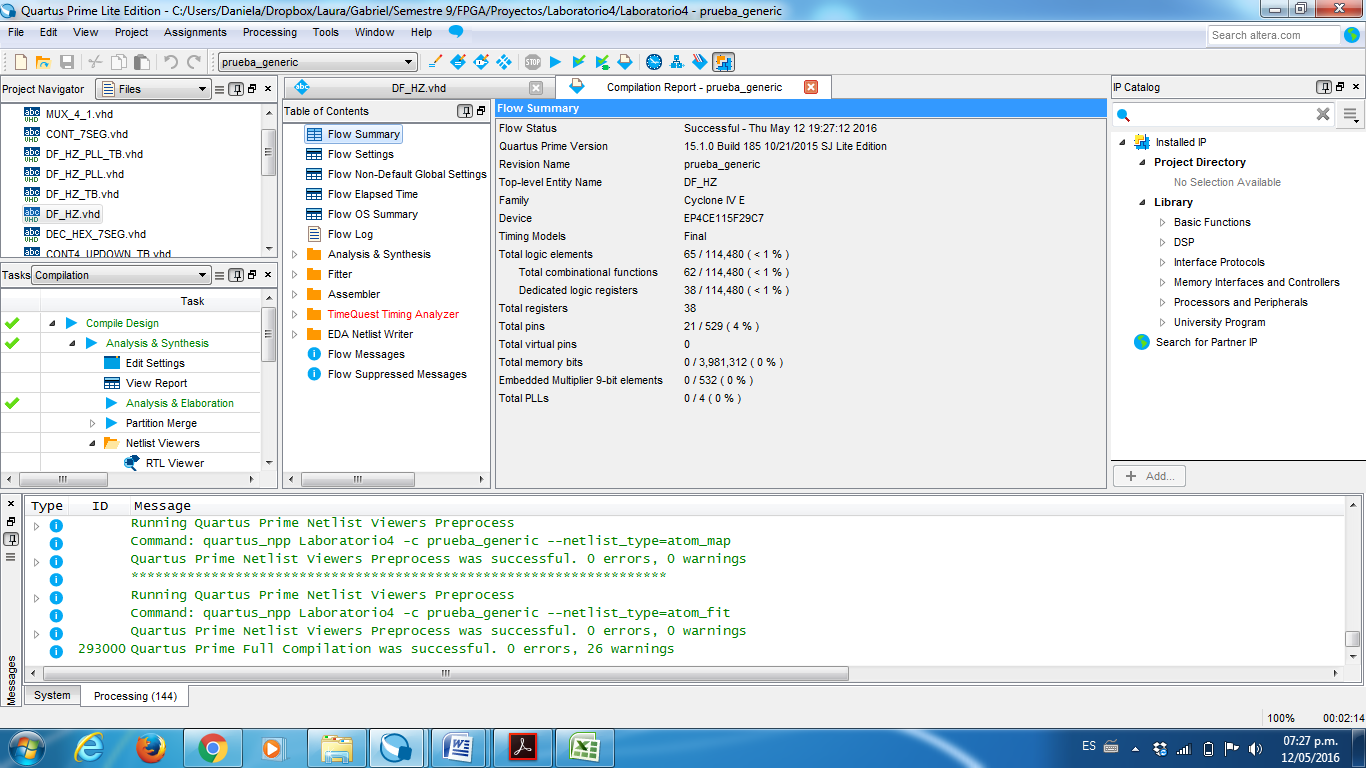
La asignación de pines que se uso para implementar el divisor de frecuencia en la placa se observa en la Tabla 3.

Tabla

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| To | Direction | Location | I/O Bank | VREF Group |
| CLKin | Input | PIN\_Y2 | 2 | B2\_N0 |
| CLKout | Output | PIN\_AE23 | 4 | B4\_N0 |
| display0[6] | Output | PIN\_H22 | 6 | B6\_N0 |
| display0[5] | Output | PIN\_J22 | 6 | B6\_N0 |
| display0[4] | Output | PIN\_L25 | 6 | B6\_N1 |
| display0[3] | Output | PIN\_L26 | 6 | B6\_N1 |
| display0[2] | Output | PIN\_E17 | 7 | B7\_N2 |
| display0[1] | Output | PIN\_F22 | 7 | B7\_N0 |
| display0[0] | Output | PIN\_G18 | 7 | B7\_N2 |
| display1[6] | Output | PIN\_U24 | 5 | B5\_N0 |
| display1[5] | Output | PIN\_U23 | 5 | B5\_N1 |
| display1[4] | Output | PIN\_W25 | 5 | B5\_N1 |
| display1[3] | Output | PIN\_W22 | 5 | B5\_N0 |
| display1[2] | Output | PIN\_W21 | 5 | B5\_N1 |
| display1[1] | Output | PIN\_Y22 | 5 | B5\_N0 |
| display1[0] | Output | PIN\_M24 | 6 | B6\_N2 |
| LEDout | Output | PIN\_E21 | 7 | B7\_N0 |
| rst | Input | PIN\_AD27 | 5 | B5\_N2 |
| SelFreq[2] | Input | PIN\_AC27 | 5 | B5\_N2 |
| SelFreq[1] | Input | PIN\_AC28 | 5 | B5\_N2 |
| SelFreq[0] | Input | PIN\_AB28 | 5 | B5\_N1 |

### Reporte de área

Desde una de las herramientas del Quartus Se obtuvo el reporte de área (FIGURA) en el cual se puede analizar que no se alcanzó a utilizar ni el 1% de todos los elementos lógicos disponibles en el FPGA y el 4% de los pines.

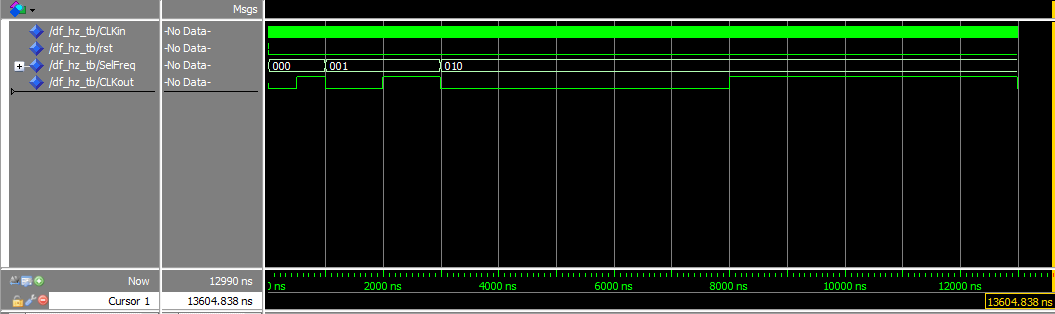


PONER NUMERO FIGURA

### Simulación y Test-Bench

Cabe destacar que se agregaron unas frecuencias más a las pedidas por consigna, de 1 MHz, 500KHz y 100KHz. Esto se realizó ya que a fines de simulación, las demás frecuencias hacían este proceso muy lento.

Se realizó el código Test-Bench, el cual genera distintas combinaciones de los switches para comprobar que las frecuencias de salida fuesen coincidentes con las estipuladas en la Tabla 2. Los resultados de la simulación funcional se observan en la Figura 5.



Figura

## Parte C

### Consigna

Realizar un mismo divisor de frecuencia similar al de la Parte B, pero en este caso el reloj de 50MHz será la entrada de reloj de un PLL.

* Utilice la herramienta MegaWizard para configurar el PLL de modo de obtener a la salida la frecuencia mínima posible.
* Describa en VHDL un divisor de frecuencia para dividir la frecuencia de salida del PLL, de modo de tener a las salidas del divisor de frecuencia, las mismas frecuencias que en la Parte B. Agregue como salida la señal de lock del PLL, la que a su vez deberá excitar un led que indicará cuando el PLL está LOCK.
* Como selector de frecuencia de salida use las llaves (switches) disponibles en el board.
* Sincronice las entradas asincrónicas con la frecuencia del reloj de entrada al FPGA.
* Utilice el módulo de conversor BCD-7Segmentos del laboratorio anterior para mostrar en los display 7 segmentos la frecuencia seleccionada por la llave respectiva (no hace falta usar el punto; para 0.5 muestre 05).
* Para cada combinación de las llaves (switches), la frecuencia seleccionada deberá excitar el LED\_0 del board
* Compruebe el funcionamiento funcional del código VHDL con un Test Bench.
* Escriba el correspondiente archivo de restricciones (constraints file). Recuerde detallar en el constraint file la frecuencia de trabajo de su sistema.
* Compruebe la correcta asignación de la señales de entrada/salida con los respectivos I/O pads del FPGA revisando el PAD report.
* Genere el bitstream y configure el FPGA.
* Compruebe el correcto funcionamiento del sistema al cambiar las llaves seleccionadoras de frecuencia como así también la correcta indicación del valor de frecuencia en los display 7 segmentos respectivos.

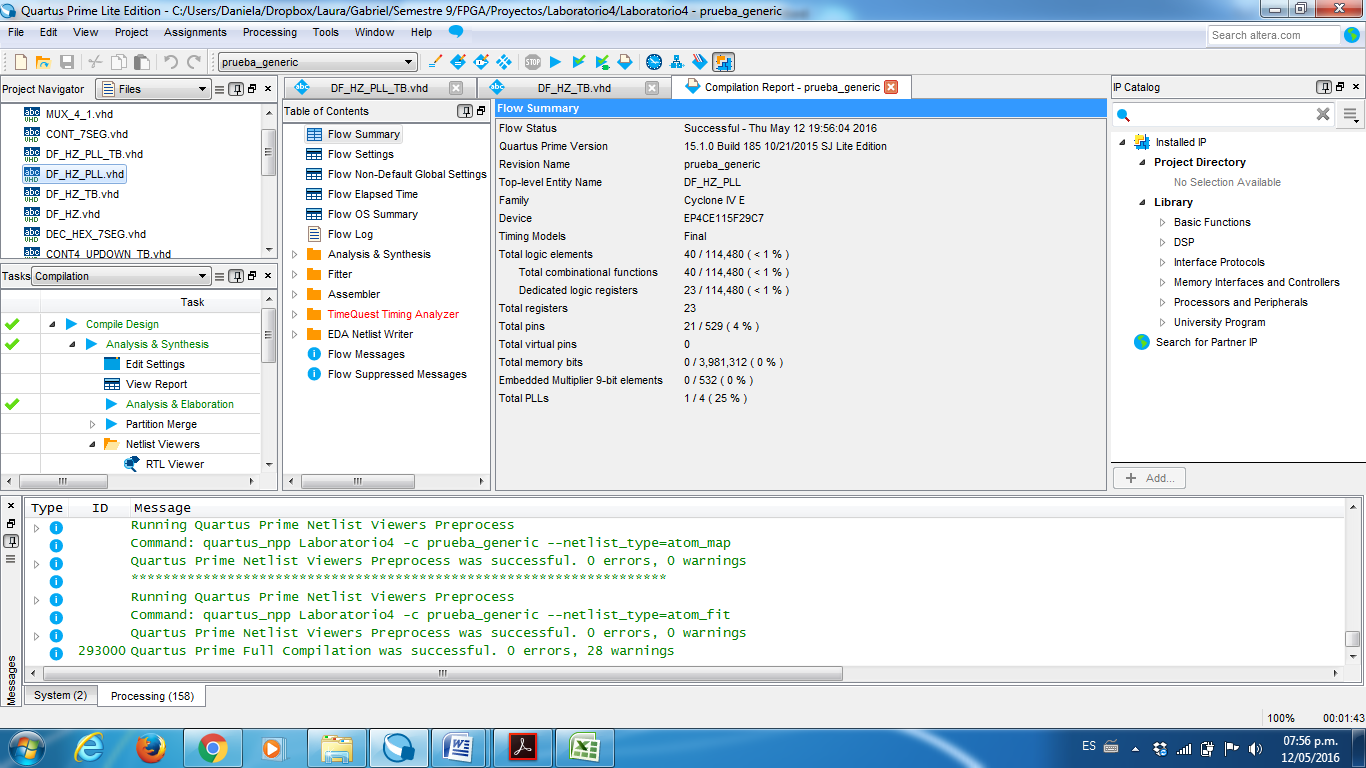
### Resolución

Para realizar esta parte, se comenzó con al configuración del PLL, mediante el uso de la herramienta MegaWizard. En ésta, se configura la frecuencia de entrada al PLL en 50 MHz y se obtiene la menor frecuencia de salida mediante prueba y error en 1,2 KHz. A su vez, esta frecuencia será la entrada a un divisor de frecuencia (el mismo usado en la Parte B) para poder llegar a los valores de frecuencias deseados.

### Simulación y Test-Bench

### Reporte de área

Desde una de las herramientas del Quartus Se obtuvo el reporte de área (FIGURA) en el cual se puede analizar que no se alcanzó a utilizar ni el 1% de todos los elementos lógicos disponibles en el FPGA y el 4% de los pines. Además, se observa que se utilizó 1 de los 4 PLLs disponibles.



FIGURA

# Apéndices

## Apéndice A

## Apéndice B